

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

12112069

Basic Patent (No,Kind,Date): JP 6318552 A2 941115 <No. of Patents: 001>

PLASMA PROCESSING AND ITS APPARATUS (English)

Patent Assignee: NISSIN ELECTRIC CO LTD

Author (Inventor): MAEDA HIROSHI; NAKAHIGASHI TAKAHIRO; KUWABARA SO

IPC: *H01L-021/205; H01L-021/302

Derwent WPI Acc No: C 95-033434

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6318552	A2	941115	JP 93107909	A	930510 (BASIC)

Priority Data (No,Kind,Date):

JP 93107909 A 930510

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04646652 **Image available**

PLASMA PROCESSING AND ITS APPARATUS

PUB. NO.: 06-318552 [JP 6318552 A]

PUBLISHED: November 15, 1994 (19941115)

INVENTOR(s): MAEDA HIROSHI

NAKAHIGASHI TAKAHIRO

KUWABARA SO

APPLICANT(s): NISSIN ELECTRIC CO LTD [000394] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-107909 [JP 93107909]

FILED: May 10, 1993 (19930510)

INTL CLASS: [5] H01L-021/205; H01L-021/302

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R020 (VACUUM TECHNIQUES)

ABSTRACT

PURPOSE: To provide a method of processing plasma and an apparatus which can process plasma while controlling the generation of particles which cause various problems.

CONSTITUTION: A plasma processing gas is introduced into a vacuum vessel 1 and the gas is made into plasma by impressing discharge electric power under the preset vacuum condition. In a plasma processing method and its apparatus for performing an intended processing on the surface of a substrate Si to be processed under plasma, electric power to be turned on at the starting time of impressing discharge electric power is set as the discharge electric power lower than that required for performing the intended processing. After the low discharge electric power is impressed for a fixed period of time, it is gradually converted to impressing the required discharge electric power.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-318552

(43) 公開日 平成6年(1994)11月15日

(51) Int. Cl. ⁵
H01L 21/205
21/302

識別記号

F I

C 9277-4M

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平5-107909

(22) 出願日 平成5年(1993)5月10日

(71) 出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72) 発明者 前田 博司

京都市右京区梅津高畝町47番地 日新電機
株式会社内

(72) 発明者 中東 孝浩

京都市右京区梅津高畝町47番地 日新電機
株式会社内

(72) 発明者 桑原 創

京都市右京区梅津高畝町47番地 日新電機
株式会社内

(74) 代理人 弁理士 谷川 昌夫

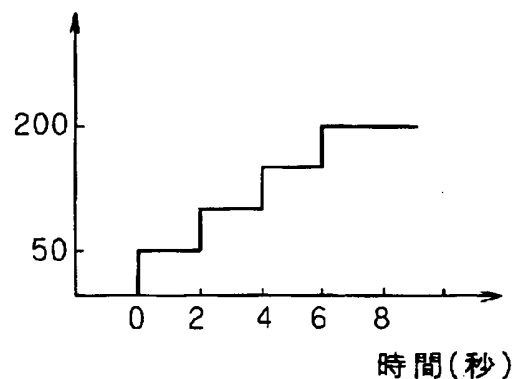
(54) 【発明の名称】 プラズマ処理方法及び装置

(57) 【要約】

【目的】 各種の問題を引き起こす原因となるパーティクルの発生を抑制しつつプラズマ処理を行うことができるプラズマ処理方法及び装置を提供する。

【構成】 真空容器1内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で放電電力印加によりプラズマ化させ、該プラズマの下で処理対象基板S1表面に目的とする処理を行うプラズマ処理方法及び装置において、放電電力印加開始時に投入する電力を、目的とする処理に要求される放電電力より低い放電電力とし、該低放電電力を一定時間印加したのち、次第に前記要求される放電電力印加へ切り換えていく。

印
加
電
力
(W)



【特許請求の範囲】

【請求項1】 真空容器内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で放電電力印加によりプラズマ化させ、該プラズマの下で処理対象基体表面に目的とする処理を行うプラズマ処理方法において、前記放電電力印加開始時に投入する電力を、前記目的とする処理に要求される放電電力より低い放電電力とし、該低放電電力を一定時間印加したのち、次第に前記要求される放電電力印加へ切り換えていくことを特徴とするプラズマ処理方法。

【請求項2】 前記放電電力印加を、前記要求される放電電力印加へ次第に切り換えるに当たり、前記最初の低放電電力印加後、該低電力印加に連続して次第に要求される放電電力へ切り換えていく請求項1記載のプラズマ処理方法。

【請求項3】 前記放電電力印加を前記要求される放電電力印加へ次第に切り換えるに当たり、前記最初の低放電電力印加後、一定時間電力印加を停止したのち、再び放電電力印加を開始して、該電力を前記要求される放電電力へ次第に切り換えていく請求項1記載のプラズマ処理方法。

【請求項4】 前記最初及びその後の投入電力にパルス変調を加える請求項1から3のいずれかに記載のプラズマ処理方法。

【請求項5】 真空容器内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で電力印加手段による放電電力印加によりプラズマ化させ、該プラズマの下で処理対象基体表面に目的とする処理を行うプラズマ処理装置において、前記電力印加手段が、前記目的とする処理に要求される放電電力より低い放電電力にて電力印加を開始し、その後次第に前記要求される放電電力へ切り換えていく手段、及び前記切り換え手段により切り換えられる各印加電力の投入タイミングを制御する手段を含むことを特徴とするプラズマ処理装置。

【請求項6】 前記電力印加手段が、印加電力にパルス変調を加えるための手段を含んでいる請求項5記載のプラズマ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタ、半導体利用の各種センサのような半導体を利用したデバイスや太陽電池その他を製造するにあたり、基板上に成膜したり、配線パターン等を得るために、形成した膜を所定パターンに従ってエッチングしたりするプラズマCVD、プラズマエッチングのようなプラズマ処理方法及びそれを実施する装置に関する。

【0002】

【従来の技術】プラズマCVD装置は各種タイプのものが知られている。その代表例として、図6に示す平行平板型のプラズマCVD装置について説明すると、この装

置は真空容器1を有し、その中に被成膜基板S1を設置する基板ホルダを兼ねる電極2及びこの電極に対向する電極3が設けられている。

【0003】電極2は、通常、接地電極とされ、また、この上に設置される基板S1を成膜温度に加熱するヒータ21を付設してある。なお、輻射熱で基板S1を加熱するときは、ヒータ21は電極2から分離される。電極3は、電極2との間に導入される成膜用ガスに高周波電力や直流電力を印加してプラズマ化させるための電力印加電極で、図示の例ではマッチングボックス31を介して高周波電源32を接続してある。

【0004】また、図示の例では、電極3は、電極の一部を構成するガスノズル34の開口部に多孔電極板33を設けたもので、電極板33には、直径0.5mm程度のガス供給孔を多数形成してあり、ガスノズル34から供給されるガスが各孔から両電極間に全体的に放出されるようにしてある。このような構成は広面積基板上に成膜するのに適している。

【0005】真空容器1には、さらに、開閉弁51を介して排気ポンプ52を配管接続してあるとともに、前記ガスノズル34にはガス供給部4を配管接続してある。ガス供給部4には、1又は2以上のマスフローコントローラ421、422・・・及び開閉弁431、432・・・を介して、所定量の成膜用ガスを供給するガス源441、442・・・が含まれている。

【0006】この平行平板型プラズマCVD装置によると、成膜対象基板S1が真空容器1内の電極2上に設置され、該容器1内が弁51の開成と排気ポンプ52の運転にて所定成膜真空度に維持され、ガス供給部4からノズル34及び電極板33のガス供給孔を介して成膜用ガスが導入される。また、高周波電極3に電源32から高周波電圧が印加され、それによって導入されたガスがプラズマ化され、このプラズマの下で基板S1表面に所望の膜が形成される。

【0007】また、プラズマエッチング装置も各種タイプのものが知られている。その代表例として図7に示す平行平板型のエッチング装置について説明すると、この装置も真空容器10を備え、その中には、エッチング対象膜を形成した基板S2を設置する基板ホルダを兼ねる電極20及び電極20に対向配置された電極30を備えている。

【0008】電極20は、電極30との間に導入されるエッチング用ガスに高周波電力や直流電力を印加してプラズマ化させるための電力印加電極として使用され、図示の例ではマッチングボックス201を介して高周波電源202に接続されている。電極30は接地電極であり、電極の一部を構成するガスノズル301の開口部に多孔電極板302を設けたもので、電極板302には直径0.5mm程度のガス供給孔を多数形成してあり、ガスノズル301から供給されるガスが該孔から両電極間

に全体的に放出されるようになっている。

【 0 0 0 9 】 真空容器 1 0 には、さらに、開閉弁 7 1 を介して排気ポンプ 7 2 を配管接続してあるとともに、前記ガスノズル 3 0 1 にはガス供給部 6 を配管接続してある。ガス供給部 6 には、1 又は 2 以上のマスフローコントローラ 6 2 1、6 2 2 及び開閉弁 6 3 1、6 3 2 を介して所要量のエッチング用ガスを供給するガス源 6 4 1、6 4 2 が含まれている。

【 0 0 1 0 】 このエッチング装置によると、エッチング対象基板 S 2 が容器 1 0 内の高周波電極 2 0 上に設置され、該容器 1 0 内が弁 7 1 の開成と排気ポンプ 7 2 の運転にて所定エッチング真空度に維持され、ガス供給部 6 からエッチング用ガスがノズル 3 0 1 及び電極板 3 0 2 のガス供給孔を介して導入される。また、電極 2 0 に高周波電源 2 0 2 から高周波電圧が印加され、それによって導入されたガスがプラズマ化され、このプラズマの下に基板 S 2 上の膜がエッチングされる。なお、電極 2 0 は、必要に応じ、水冷装置 2 0 0 等で冷却されることもある。

【 0 0 1 1 】 このような従来のプラズマ処理方法及び装置では、プラズマ生成に必要な電力を放電空間内に直ちに投入する。図 8 は、そのような電力印加の例を示すグラフで、グラフ上のライン 8 1 は放電開始時に投入された電力、ライン 8 2 は放電空間内のプラズマに供給される電力の様子を示している。放電開始時に投入された電力は、反射電力のため効率よくプラズマに供給されない。そこで、マッチングボックス 3 1 (又は 2 0 1) によりマッチング調整を行い、プラズマに効率よく電力を与えている。

【 0 0 1 2 】

【 発明が解決しようとする課題 】 しかしながら、このような従来プラズマ C V D では、プラズマ中の気相反応により発生するパーティクルが基板表面に形成される膜に付着したり、その中に混入したりして膜質を悪化させるという問題があり、また、発生したパーティクルが真空容器内各部に付着してそれを汚染するという問題がある。真空容器内各部に付着するパーティクルについては、これがやがて剥落して、処理対象基板に付着する恐れがあるので、除去清掃しなければならず、手間を要する。

【 0 0 1 3 】 また、プラズマエッチングにおいても、同様に気相反応によりパーティクルが形成され、これが被エッチング面に付着したり、真空容器内各部に付着する等の問題がある。例えば、エッチングにより配線パターンを形成する場合において、かかるパーティクルはパターンニングの精度の悪化をもたらし、細線形成においては断線を招くことがある。

【 0 0 1 4 】 そこで本発明は、真空容器内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で放電電力印加によりプラズマ化させ、該プラズマの下で処理対象

基体表面に目的とする処理を行うプラズマ処理方法及び装置であって、各種の問題を引き起こす原因となるパーティクルの発生を抑制しつつプラズマ処理を行うことができるプラズマ処理方法及び装置を提供することを課題とする。

【 0 0 1 5 】

【 課題を解決するための手段 】 本発明者は前記課題を解決するため研究を重ねたところ、プラズマを生成するために高電圧を印加開始すると、その電力の多くがパーティクル発生に費やされ、放電開始時に多量のパーティクルが発生し成長すること、このパーティクルは、放電開始時の印加電圧が大きく、反射電力が大きいほど多量に発生することを見出した。

【 0 0 1 6 】 本発明はこの研究に基づくもので、前記課題を解決するために、真空容器内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で放電電力印加によりプラズマ化させ、該プラズマの下で処理対象基体表面に目的とする処理を行うプラズマ処理方法において、前記放電電力印加開始時に投入する電力を、前記目的とする処理に要求される放電電力より低い放電電力とし、該低放電電力を一定時間印加したのち、次第に前記要求される放電電力印加へ切り換えていくことを特徴とするプラズマ処理方法を提供するものである。

【 0 0 1 7 】 前記印加電力切り換え方法としては、前記最初の低放電電力印加後、該低電力印加に連続して次第に要求される放電電力へ切り換えていく方法が考えられる。また、前記放電電力印加を前記要求される放電電力印加へ次第に切り換えるに当たり、前記最初の低放電電力印加後、一定時間電力印加を停止したのち、再び放電電力印加を開始して、該電力を前記要求される放電電力へ次第に切り換えていくことも考えられる。

【 0 0 1 8 】 さらに、パーティクルの発生を一層抑制するために、前記最初及びその後の投入電力にパルス変調を加えることも考えられる。いずれにしても印加電力の増加に当たってはマッチングが大幅にずれないように電力投入レートを保つようにすることが望ましい。何故なら、本発明者の研究によると、マッチングのズレ調整時に印加電圧が変化することによってもパーティクルが発生し易いからである。

【 0 0 1 9 】 また、前記課題を解決する本発明のプラズマ処理装置は、真空容器内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で電力印加手段による放電電力印加によりプラズマ化させ、該プラズマの下で処理対象基体表面に目的とする処理を行うプラズマ処理装置であって、前記電力印加手段が、前記目的とする処理に要求される放電電力より低い放電電力にて電力印加を開始し、その後次第に前記要求される放電電力へ切り換えていく手段、及び前記切り換え手段により切り換えられる各印加電力の投入タイミングを制御する手段を含むことを特徴とする。

【0020】この装置においても、前記電力印加手段に、印加電力にパルス変調を加えるための手段を含めてもよい。

【0021】

【作用】本発明のプラズマ処理方法及び装置によると、放電空間に印加される放電電力は、電力印加開始時には、目的とする処理に要求される放電電力より低い放電電力とされ、該低放電電力を一定時間印加したのち、次第に要求される放電電力印加へ切り換えられ、この電力印加パターンにより、プラズマ中の気相反応により発生するパーティクルが低減する。

【0022】

【実施例】以下、本発明の実施例を図面を参照して説明する。その代表例として、図1に示す平行平板型のプラズマCVD装置及び該装置による成膜方法について説明する。該プラズマCVD装置は、図6に示す従来例の高周波電源32の代わりにRFアンプ35及びファンクションジェネレータ（任意波形発生器）36が設けられ、これらがマッチングボックス31に接続されたものである。任意波形発生器36で形成した波形はアンプ35で増幅され、マッチングボックス31を介して電極3に供給される。高周波電力印加のオン、オフ及びオン時間、オフ時間の設定、制御、並びに投入電力の大きさの制御は任意波形発生器36で行える。

【0023】その他の構成は図6の従来装置と同様である。この平行平板型プラズマCVD装置によると、成膜対象基板S1が真空容器1内の電極2のサセプタ22上に設置され、該容器1内が弁51の開成と排気ポンプ52の運転にて所定成膜真空度に維持され、ガス供給部4からノズル34及び電極板33のガス供給孔を介して成膜ガスが導入される。また、高周波電極3にファンクションジェネレータ36で形成した波形がアンプ35で増幅されて印加され、それによって導入されたガスがプラズマ化され、このプラズマの下で基板S1表面に所望の膜が形成される。

【0024】但し、この実施例では、電極3への高周波電力印加にあたり、当初、換言すれば電力印加開始にあたって、まず、望ましくはプラズマ生成に必要最低限の放電開始電圧を印加し、そのあと、次第に成膜に要求される放電電力へ増加させる。これによって、当初から成膜に要求される放電電力を印加すれば電力の多くがパーティクル発生、成長に費やされ、多量のパーティクルが生成するという事態を避けることができる。

【0025】電力印加パターンとしては、図2から図5の各図に示すパターンを例示できる。いずれにしても、印加電力増加はマッチングが大きくずれないものとし、且つ、プラズマの安定性が大きく損なわれないものとし、この点でもパーティクルの発生を抑制する。図2に示す電力印加パターンによると、最初の放電開始低電力

時間（秒）

印加後、該低電力印加に連続して次第に要求される放電電力へ切り換える。

【0026】図3パターンでは、放電開始低電力印加後、一定時間電力印加を停止したのち再び放電電力印加を開始して該電力を要求される放電電力へ次第に切り換える。これは最初の放電により放電空間内の性質を変化させ、次の電力を投入するときに生じる放電空間内の誘電率の変化を緩和することにより、マッチングのズレを少なくすることになるからである。このパターンでは図2のパターンによるときより、パーティクルの発生をさらに抑制できる。

【0027】また、図4及び図5のパターンでは、図2及び図3のパターンにおいて、最初及びその後の各投入電力にパルス変調を加えるもので、これによって、パーティクル発生をさらに減少させることができる。これは、パルス変調を施すことにより、放電空間内のパーティクルの浮遊数及び浮遊時間が減少するからである。なお、図4及び図5の電力印加パターンにおけるパルス変調は、ファンクションジェネレータ36により設定でき、本例では13.56MHzの高周波を、10～1KHzの範囲でパルス状に変調（換言すれば振幅変調）させ、その範囲で、高周波電力の印加をオン、オフする。図4の（B）図は同（A）図における電力印加パターンの部分aのパルス変調例を概略的に示し、図5の（B）図は同（A）図中の電力印加パターンの部分bのパルス変調例を概略的に示している。図3から図5のパターンにおいて、各電力印加のタイミング及び各印加電力の大きさはファンクションジェネレータ36により制御する。

【0028】なお、前記各電力印加パターンでは印加電力は段階的に増加しているが、無段階的又は無段階的と段階的との組み合わせによる電力変化も考えられる。次に、図1に示す平行平板型のプラズマCVD装置によりSiNx膜を形成した具体例を説明する。なお、各例において最後に記すパーティクル数は0.5μm以上のパーティクル数である。

例1：ステップパワー印加

<成膜条件>

- ・成膜真空度 0.8 Torr
- ・基板温度 250℃
- ・使用ガス SiH₄ 50 sccm、NH₃ 200 sccm
- ・電極サイズ 300×300mm□
- ・使用基板 4インチシリコン基板4枚並置
- ・成膜時間 3分
- ・電圧印加法（図2のパターンによる）
- ・電力波形 CW（サイクル波 13.56MHz）
- ・時間ごとの印加電力を以下に示す。

【0029】

電力

7

8

0 (成膜開始) ~ 2

50W (放電開始電力)

2 ~ 4

100W

4 ~ 6

150W

6 ~ 180 (成膜終了)

200W (成膜に必要な電力)

・基板1枚上のパーティクル数

成膜前 1個以下、

成膜後 約40個

例2: ステップパワー印加+パルス電力

<成膜条件>

・成膜真空度 0.8 Torr

・基板温度 250℃

・使用ガス SiH₄ 50sccm、NH₃

200sccm

・電極サイズ 300×300mm□

・使用基板 4インチシリコン基板4枚並置

時間 (秒)

0 (成膜開始) ~ 2

2 ~ 4

4 ~ 6

6 ~ 180 (成膜終了)

・基板1枚上のパーティクル数

・成膜時間 3分

・電圧印加印加法 (図4のパターンによる)

10 ・電力波形 パルス (13.56MHzの高周波に500Hz振幅変調、1msecオン、1msecオフの繰り返し、duty50%)

・時間ごとの印加電力を以下に示す。

【0030】

電力

50W (放電開始電力)

100W

150W

200W (成膜に必要な電力)

成膜前 1個以下、

成膜後 約20個

・使用基板 4インチシリコン基板4枚並置

・成膜時間 3分

・電圧印加法 (図3のパターンによる)

・電力波形 CW (13.56MHz)

・時間ごとの印加電力を以下に示す。

【0031】

電力

50W (放電開始電力)

OFF

50W

100W

150W

200W (成膜に必要な電力)

成膜前 1個以下、

成膜後 約8個

例3: ステップパワー印加+任意オフ時間

<成膜条件>

・成膜真空度 0.8 Torr

・基板温度 250℃

・使用ガス SiH₄ 50sccm、NH₃

200sccm

・電極サイズ 300×300mm□

時間 (秒)

0 (成膜開始) ~ 2

2 ~ 3

3 ~ 5

5 ~ 7

7 ~ 9

9 ~ 180 (成膜終了)

・基板1枚上のパーティクル数

・使用基板 4インチシリコン基板4枚並置

・成膜時間 3分

40 ・電圧印加法 (図5のパターンによる)

・電力波形 パルス (500Hz振幅変調、duty50%)

・時間ごとの印加電力を以下に示す。

【0032】

電力

50W (放電開始電力)

OFF

50W

100W

150W

例4: ステップパワー印加+パルス電力+任意オフ時間

<成膜条件>

・成膜真空度 0.8 Torr

・基板温度 250℃

・使用ガス SiH₄ 50sccm、NH₃

200sccm

・電極サイズ 300×300mm□

時間 (秒)

0 (成膜開始) ~ 2

2 ~ 3

3 ~ 5

5 ~ 7

7 ~ 9

9

9 ~ 1 8 0 (成膜終了)

・基板 1 枚上のパーティクル数

上記具体例と共に、当初から 2 0 0 W の放電電力を 3 分間連続して印加し、他の条件は例 1 ~ 4 と同様にして、SiNx 膜を形成することを行なったが、この場合のパーティクル数は、成膜前 1 個以下、成膜後 2 0 0 個であった。

【0 0 3 3】以上の具体例から分かるように、低放電電力印加後、該低電力印加に連続して次第に要求される放電電力へ切り換えていった場合、従来例に比べ、成膜後の基板上的パーティクル数は約 1 / 5 に低減した。さらに、前記最初の低放電電力印加後、電力印加を一定時間停止したり、前記最初及びその後の投入電力にパルス変調を加えたりした場合、従来例に比べ、パーティクル数は約 1 / 1 0 ~ 1 / 4 0 に低減した。

【0 0 3 4】以上、プラズマ CVD 法及び装置について説明したが、本発明はプラズマエッチング法及び装置にも適用できる。

【0 0 3 5】

【発明の効果】以上説明したように、本発明によると、真空容器内にプラズマ処理用ガスを導入し、該ガスを所定真空状態で放電電力印加によりプラズマ化させ、該プラズマの下で処理対象基体表面に目的とする処理を行うプラズマ処理方法及び装置であって、各種の問題を引き起こす原因となるパーティクルの発生を抑制しつつ、プラズマ処理を行うことができるプラズマ処理方法及び装置を提供することができる。また、前記プラズマ処理方法及び装置において、放電開始低電力印加後、一定時間電力印加を停止したのち再び放電電力印加を開始して該電力を要求される放電電力へ次第に切り換えるときには、パーティクルの発生をさらに抑制することができる。

【0 0 3 6】また、前記プラズマ処理方法及び装置において、最初及びその後の各投入電力にパルス変調を加え

10

2 0 0 W (成膜に必要な電力)

成膜前 1 個以下、

成膜後 約 6 個

るときには、パーティクルの発生をそれだけ抑制することができる。

【図面の簡単な説明】

【図 1】本発明の 1 実施例であるプラズマ CVD 装置の概略構成を示す図である。

【図 2】本発明による放電電力印加パターンの 1 例を示す図である。

【図 3】本発明による放電電力印加パターンの他の例を示す図である。

【図 4】本発明による放電電力印加パターンのさらに他の例を示す図である。

【図 5】本発明による放電電力印加パターンのさらに他の例を示す図である。

【図 6】従来のプラズマ CVD 装置例の概略構成を示す図である。

【図 7】従来のプラズマエッチング装置例の概略構成を示す図である。

【図 8】従来の放電電力印加パターンを示す図である。

【符号の説明】

1、1 0 真空容器

2、3 0 接地電極

2 0、3 高周波電極

2 0 1、3 1 マッチングボックス

2 0 2、3 2 高周波電源

2 1 ヒータ

5 1、7 1 開閉弁

5 2、7 2 排気ポンプ

4、6 ガス供給部

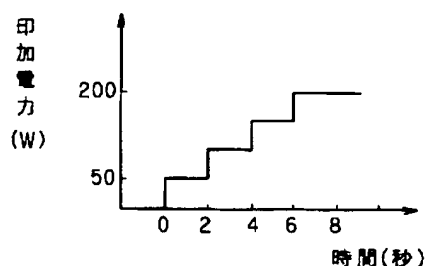
S 1 成膜対象基板

S 2 エッチング対象基板

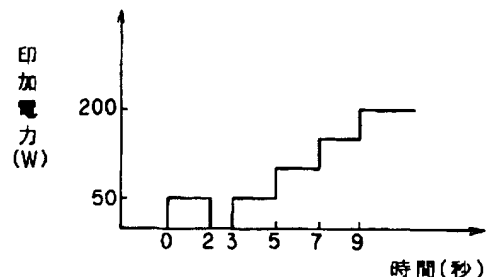
3 5 R F アンプ

3 6 ファンクションジェネレータ (任意波形発生器)

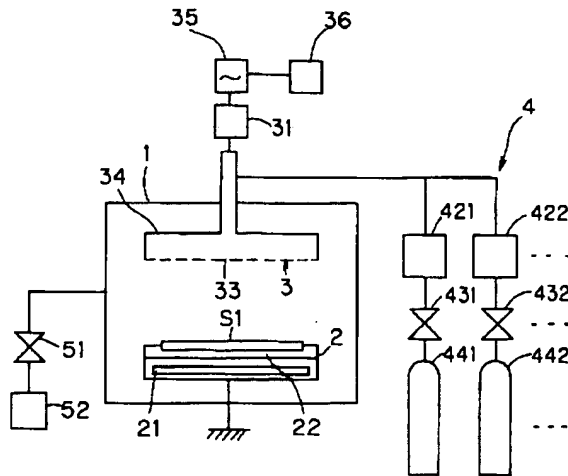
【図 2】



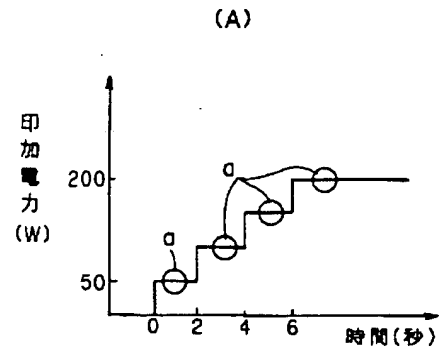
【図 3】



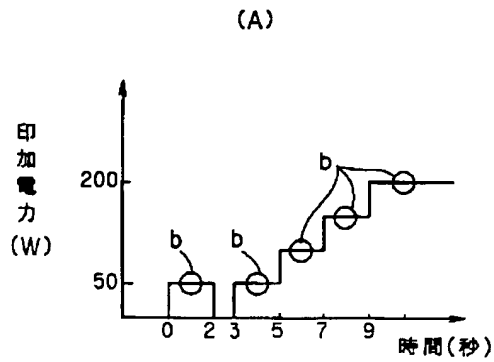
【図1】



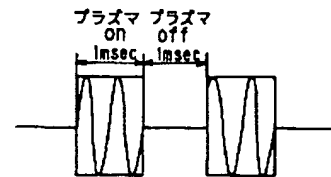
【図4】



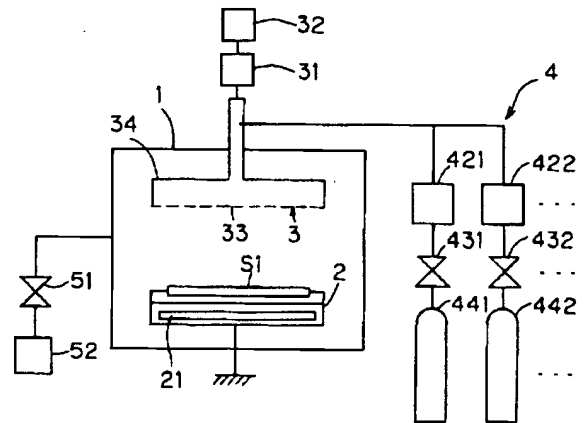
【図5】



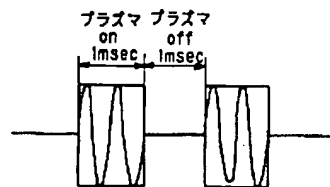
(B)



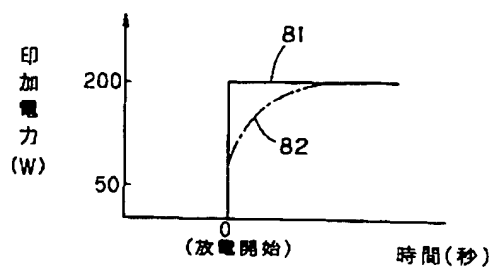
【図6】



(B)



【図8】



【図 7】

